

1/5/1  
DIALOG(R)File 347:JAPIO  
(c) 2007 JPO & JAPIO. All rts. reserv.

04708390      \*\*Image available\*\*  
GRAPHIC MEMORY ACCESS CIRCUIT

PUB. NO.:        07-028990 [ JP 7028990    A]  
PUBLISHED:      January 31, 1995 (19950131)  
INVENTOR(s):    AGATA HIROYUKI  
APPLICANT(s):   NEC SHIZUOKA LTD [489142] (A Japanese Company or  
Corporation)  
                 , JP (Japan)  
APPL. NO.:      05-174537 [JP 93174537]  
FILED:          July 14, 1993 (19930714)  
INTL CLASS:     [6] G06T-001/60; G06F-012/00  
JAPIO CLASS:    45.2 (INFORMATION PROCESSING -- Memory Units); 45.9  
                 (INFORMATION PROCESSING -- Other)  
JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &  
                 Microprocessors)

#### ABSTRACT

PURPOSE: To improve plotting performance by performing control between an address buffer and a data buffer and a CPU by a bus control circuit and writing the addresses and data of both buffers in a VRAM by a buffer control circuit.

CONSTITUTION: At the time of write on a VRAM 6 of the graphic memory of RAM constitution, a bus control circuit 5 first judges that a command signal 12 received from a CPU 1 through a bus 7 is the write, an internal control signal 16 is activated, the addresses are stored in an address buffer 2 and the data are stored in a data buffer 3 by performing adjustment between the CPU 1 and the VRAM 6 so as to let them correspond in one-to-one. Also, when the command signal 12 is the write, the bus control circuit 5 continues to receive access to the VRAM 6 until the address buffer 2 becomes full and a buffer control circuit 4 writes write data stored in the data buffer 3 in the VRAM 6 until the data buffer 3 is cleared corresponding to the addresses stored in the address buffer 2.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-28990

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 1/60				
G 0 6 F 12/00	5 8 0	9366-5B	G 0 6 F 15/ 64	4 5 0 D

審査請求 未請求 請求項の数2 O L (全 3 頁)

(21) 出願番号 特願平5-174537

(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000197366

静岡日本電気株式会社

静岡県掛川市下俣4番2号

(72) 発明者 縣 裕之

静岡県掛川市下俣4番2 静岡日本電気株式会社内

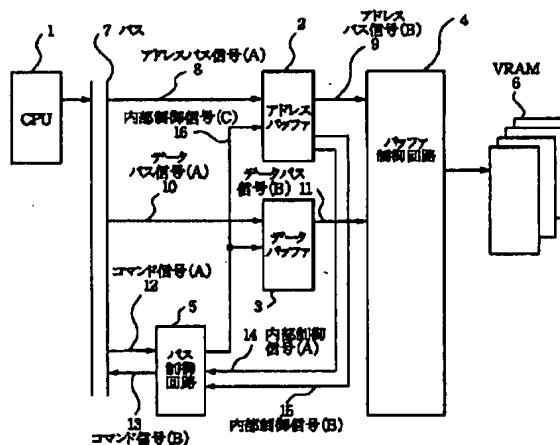
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 グラフィックスメモリアクセス回路

(57) 【要約】

【目的】 グラフィックスの描画性能からグラフィックメモリ依存性を除去し描画性能の高速化を確保する。

【構成】 グラフィックスメモリのVRAM6へのライトデータとそのアドレスとを取り込むバッファとしてのアドレスバッファ2およびデータバッファ3と、CPU1と2つのバッファとの効率よい動作結合を制御するバス制御回路5と、2つのバッファ2, 3とVRAM6とを接続するバッファ制御回路4とを有する。



## 【特許請求の範囲】

【請求項1】 マイクロコンピュータ構成のCPUからRAM構成のグラフィックスメモリのVRAMへのライト時のアドレスを複数蓄えるアドレスライトバッファと、前記アドレスに対応したライトデータを複数蓄えるデータライトバッファと、前記アドレスライトバッファおよびデータライトバッファにそれぞれ蓄えられた前記アドレスとライトデータとを効率よく前記VRAMに書き込むための制御を行なうバッファ制御回路と、前記アドレスライトバッファおよびデータライトバッファと前記CPU間の制御を行なうバス制御回路とを備え、グラフィックスシステムにおける前記VRAMの高速書き込みを行なうことを特徴とするグラフィックスメモリアクセス回路。

【請求項2】 前記グラフィックスメモリアクセス回路と、前記グラフィックスアクセス回路を駆動するCPUとを備え、グラフィックスを高速に表示することを特徴とするパーソナルコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はグラフィックメモリアクセス回路に関し、特にパーソナルコンピュータシステムのグラフィックスメモリアクセス回路に関する。

## 【0002】

【従来の技術】 一般的なグラフィックスシステムでは、描画のためにCPUがグラフィックスメモリのVRAMに書き込む場合、VRAMへの書き込みサイクルの処理が終了するまで待たされていた。

## 【0003】

【発明が解決しようとする課題】 近年CPUの高速動作が進み、CPUがVRAMにアクセスする為の処理速度もますます高速化する傾向にある。そのため、VRAMの性能に比べてCPUのデータ処理性能が大幅に向上し、CPUがVRAMアクセス時に処理を待たせれば本来の性能が発揮できないことがしばしば発生し、グラフィックスの描画性能においてVRAM性能がボトルネックとなってきたという問題点がある。

【0004】 本発明の目的は上述した問題点を解決し、グラフィックスの描画性能をVRAM性能に依存させないようにしたグラフィックスメモリアクセス回路と、このグラフィックスメモリアクセス回路を備えてグラフィックスを高速に表示するパーソナルコンピュータとを提供することにある。

## 【0005】

【課題を解決するための手段】 本発明のグラフィックスメモリアクセス回路は、マイクロコンピュータ構成のCPUからRAM構成のグラフィックスメモリのVRAMへのライト時のアドレスを複数蓄えるアドレスライトバッファと、前記アドレスに対応したライトデータを複数蓄えるデータライトバッファと、前記アドレスライトバ

ッファおよびデータライトバッファにそれぞれ蓄えられた前記アドレスとライトデータとを効率よく前記VRAMに書き込むための制御を行なうバッファ制御回路と、前記アドレスライトバッファおよびデータライトバッファと前記CPU間の制御を行なうバス制御回路とを備え、グラフィックスシステムにおける前記VRAMの高速書き込みを行なう構成を有する。

【0006】 また本発明のパーソナルコンピュータは、前記グラフィックスメモリアクセス回路と、前記グラフィックスアクセス回路を駆動するCPUとを備え、グラフィックスを高速に表示する構成を有する。

## 【0007】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明の一実施例の構成図である。本実施例は、マイクロコンピュータ構成のCPU1、VRAMライト時の複数のライトアドレスを蓄えるアドレスライトバッファ2、VRAMライト時の複数のデータを蓄えるデータライトバッファ3、各バッファとVRAM間の制御を行うバッファ制御回路4、CPUと各バッファのインタフェースを司るバス制御回路5およびRAM構成のグラフィックメモリのVRAM6を備えた構成を有する。

【0008】 VRAM6に対するライト時のシーケンスとしては、まずCPU1からバス7を介して受けるライト/リードおよびクロックを含むコマンド信号(A)12がライトであることをバス制御回路5が判断し、バッファカウンタアップ信号である内部制御信号C16を起動して、アドレスはアドレスバス信号(A)8としてアドレスライトバッファ2に、データはデータバス信号(A)10としてデータバッファ3にそれぞれ蓄積する。この場合の蓄積量は、その時のシステム構成に合わせて一番効率のよい蓄積量が選択される。また、この時蓄積されるアドレスとデータはそれぞれが一对一で対応して蓄積されるようにバス制御回路5により管理される。

【0009】 アドレスバッファ2は、バッファが空の場合はエンプティ(空)であることを示す内部制御信号(A)14にて内部が空であることを、また満杯の場合にはフル(満杯)状態であることを示す内部制御信号(B)15にて内部が満杯であることをバス制御回路5にしらせる。バス制御回路5は、これら内部制御信号(A)14と内部制御信号(B)15にもとづきCPU1とVRAM6間の調整を行う。

【0010】 CPU1からバス7を介して受けるコマンド信号(A)12がライトの時は、バス制御回路5はアドレスバッファ2からの内部制御信号(B)15をトレースしながらこの信号が有効になり、アドレスバッファ2が満杯であると判断するまでCPU1にレディ(ready)コマンド信号(B)13をバス7を介して返し、VRAM6へのアクセスを受け続ける。内部制御信

3

号(B) 15が有効となったところでCPU 1へのコマンド信号(B) 13が返らないようにウェイト(wait)を発生させ、内部のデータバッファ3からデータが吐き出されて次のデータを取り込む準備ができるための時間を確保する制御を行う。

【0011】 バッファ制御回路5によりデータバッファ3に蓄えられたライトデータはVRAM 6に対して、アドレスバッファ2で蓄えられたライトアドレスに対応してデータバッファ3がクリアになるまで書き込まれる。

【0012】 CPU 1からのリード時においては、内部制御信号(A) 14が有効の状態(各バッファが空の状態)の時はデータはVRAM 6からCPU 1へと素直にリードされる。しかし、内部制御信号(A) 14が有効でない状態(各バッファに1つでもライトアドレスおよびライトデータが残っている状態)の場合では、CPU 1からのコマンド信号(A) 12のライト/リード信号がリードを要求してきてもリードデータを返さないようにするため、バス制御回路5が内部制御信号(A) 14の状態をトレースしながらウェイトを発生させ、CPU 1からの要求をホールドする。

【0013】 その後、各バッファが空になった状態を内部制御信号(A) 14で判別したらウェイトを解除し、VRAM 6のデータをCPU 1に対して送信し、CPU

4

1のVRAM 6に対するリードサイクルを終了させる。

【0014】 このようにして、グラフィックスの描画性能をVRAM性能に依存すること無く高速化することが可能となる。

【0015】

【発明の効果】 以上説明したように本発明は、従来のグラフィックシステムにおける描画のVRAM性能への依存が解消するグラフィックアクセス回路を設けることによりパーソナルコンピュータを実現することができる。

また、CPUの描画性能向上により、CPUの描画に対する負荷が軽減され、他の処理を実行できるためパーソナルコンピュータとしてのトータル処理性能も向上する効果を有する。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成図である。

【符号の説明】

- 1 CPU
- 2 アドレスバッファ
- 3 データバッファ
- 4 バッファ制御回路
- 5 バス制御回路
- 6 VRAM
- 7 バス

【図1】

